

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306785

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G06F 9/38

(21)Application number : 06-097372

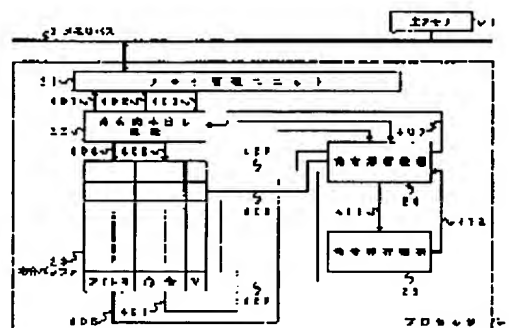
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.05.1994

(72)Inventor : YAMAGAMI NOBUHIKO
NAKADA YASUMASA**(54) PROCESSOR WITH BRANCH INSTRUCTION EXECUTING FUNCTION AND BRANCH INSTRUCTION CONTROL METHOD****(57)Abstract:**

PURPOSE: To quicken the start of the processing of a jump destination instruction on condition that the instruction at a jump destination is already stored in an instruction buffer when it is decided that jump conditions are met.

CONSTITUTION: An instruction analyzing mechanism 24 decodes a conditional branch instruction and when its branch conditions are met, it is checked whether or not the instruction at its branch destination that the branch instruction indicates is already put in the instruction buffer 23; when so, the instruction buffer 23 is made ineffective from the slot wherein the instruction that is put in earliest to the slot where the instruction right before the branch instruction is held and the branch destination address is not sent to an instruction read mechanism 22 to prevent a request to fetch the branch instruction from being sent. When it is not put in, all the slots in the instruction buffer 23 are made ineffective and the branch destination address is sent to an instruction read mechanism 22 to send the request to fetch the branch instruction to a memory management unit 21.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-306785

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl.⁹

G 0 6 F 9/38

識別記号

3 3 0 F

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平6-97372

(22) 出願日 平成6年(1994)5月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山上 宣彦

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(72) 発明者 中田 恭正

東京都府中市東芝町1番地 株式会社東芝
府中工場内

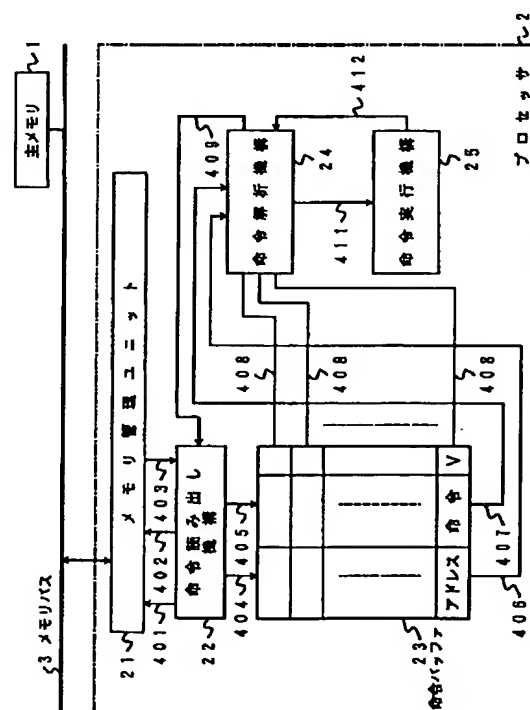
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 分岐命令実行機能を持つプロセッサおよび分岐命令制御方法

(57) 【要約】

【目的】 分岐成立が判明した段階で、その飛び先の命令が既に命令バッファに格納されているならば、その飛び先命令の処理の開始が早められるようにする。

【構成】 命令解析機構 24 にて条件付き分岐命令を解説し、その分岐条件が成立した場合に、その分岐命令の示す分岐先の命令が命令バッファ 23 に既に取り込まれているか否かを調べ、取り込まれているならば、命令バッファ 23 内の、最も以前に取り込まれた命令が保持されているスロットから、分岐命令の 1 つ前の命令が保持されているスロットまでを無効化すると共に、分岐先アドレスを命令読み出し機構 22 に送らないようにすることで、分岐命令のフェッチ要求が出されないようにし、取り込まれていないならば、命令バッファ 23 内のすべてのスロットを無効化すると共に、命令読み出し機構 22 に分岐先アドレスを送り、メモリ管理ユニット 21 に対し分岐命令のフェッチ要求が出されるようにする。



1

【特許請求の範囲】

【請求項 1】 命令の先読みを実行する命令読み出し手段と、

この命令読み出し手段によって読み込まれた命令が、その読み込み順に一時格納される命令格納手段と、

この命令格納手段から命令をその格納順に取り込んで命令解析処理を行う命令解析手段であって、条件付き分岐命令の分岐成立を判定した場合に、その分岐先の命令が前記命令格納手段に格納されているならば、前記命令読み出し手段による前記分岐先命令の読み込みが行われないようにすると共に、前記命令格納手段内の、前記分岐命令とその分岐先の命令の間にある命令をキャンセルし、前記命令格納手段内の前記分岐先命令を取り込んで命令解析処理を行い、前記分岐先命令が前記命令格納手段に格納されていないならば、前記命令格納手段内のすべての命令をキャンセルすると共に、前記命令読み出し手段による前記分岐先命令の読み込みが行われるようにする命令解析手段とを具備することを特徴とする分岐命令実行機能を持つプロセッサ。

【請求項 2】 命令の先読みを実行する命令読み出し手段と、

この命令読み出し手段によって読み込まれた命令が、その読み込み順に一時格納される命令格納手段と、

この命令格納手段から命令をその格納順に取り込んで命令解析処理を行う命令解析手段であって、条件付き分岐命令の分岐成立を判定した場合に、その分岐先の命令が前記命令格納手段に格納されているならば、前記命令読み出し手段による前記分岐先命令の読み込みが行われないようにすると共に、前記命令格納手段内の、前記分岐命令とその分岐先の命令の間にある命令をキャンセルし、前記命令格納手段内の前記分岐先命令を取り込んで命令解析処理を行い、前記命令読み出し手段により前記分岐先命令の読み込みが行われている最中であるならば、前記命令格納手段内のすべての命令をキャンセルすると共に、前記分岐先命令の読み込みが完了するのを待って、その読み込まれた前記分岐先命令の命令解析処理を行い、そのいずれでもないならば、前記命令格納手段内のすべての命令をキャンセルすると共に、前記命令読み出し手段による前記分岐先命令の読み込みが行われるようにする命令解析手段とを具備することを特徴とする分岐命令実行機能を持つプロセッサ。

【請求項 3】 命令の先読みを実行する命令読み出し手段と、この命令読み出し手段によって読み込まれた命令が、その読み込み順に一時格納される命令格納手段と、この命令格納手段から命令をその格納順に取り込んで命令解析処理を行う命令解析手段とを備えたプロセッサに用いられる分岐命令制御方法において、

前記命令解析手段にて条件付き分岐命令の分岐成立を判定した場合、その分岐先の命令が前記命令格納手段に格納されているか否かを調べる第 1 の工程と、

2

前記第 1 の工程で前記分岐先命令が前記命令格納手段に格納されていると判断された場合、前記命令読み出し手段による前記分岐先命令の読み込みが行われないようにすると共に、前記命令格納手段内の、前記分岐命令とその分岐先の命令の間にある命令をキャンセルして、前記命令格納手段内の前記分岐先命令の命令解析処理を行う第 2 の工程と、

前記第 1 の工程で前記分岐先命令が前記命令格納手段に格納されていないと判断された場合、前記命令格納手段内のすべての命令をキャンセルすると共に、前記命令読み出し手段による前記分岐先命令の読み込みが行われるようにする第 3 の工程とを具備することを特徴とする分岐命令制御方法。

【請求項 4】 命令の先読みを実行する命令読み出し手段と、この命令読み出し手段によって読み込まれた命令が、その読み込み順に一時格納される命令格納手段と、この命令格納手段から命令をその格納順に取り込んで命令解析処理を行う命令解析手段とを備えたプロセッサに用いられる分岐命令制御方法において、

前記命令解析手段にて条件付き分岐命令の分岐成立を判定した場合、その分岐先の命令が前記命令格納手段に格納されているか否かを調べる第 1 の工程と、

前記第 1 の工程で前記分岐先命令が前記命令格納手段に格納されていると判断された場合、前記命令読み出し手段による前記分岐先命令の読み込みが行われないようにすると共に、前記命令格納手段内の、前記分岐命令とその分岐先の命令の間にある命令をキャンセルし、前記命令格納手段内の前記分岐先命令の解析処理を行う第 2 の工程と、

前記第 1 の工程で前記分岐先命令が前記命令格納手段に格納されていないと判断された場合、前記命令読み出し手段が読み込み中の命令が前記分岐先命令に一致するか否かを調べる第 3 の工程と、

前記第 3 の工程で前記命令読み出し手段が読み込み中の命令が前記分岐先命令に一致すると判断された場合、前記命令格納手段内のすべての命令をキャンセルすると共に、前記分岐先命令の読み込みが完了するのを待って、その読み込まれた前記分岐先命令の命令解析処理を行う第 4 の工程と、

前記第 3 の工程で前記命令読み出し手段が読み込み中の命令が前記分岐先命令に一致しないと判断された場合、前記命令格納手段内のすべての命令をキャンセルすると共に、前記命令読み出し手段による前記分岐先命令の読み込みが行われるようにする第 5 の工程とを具備することを特徴とする分岐命令制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、分岐命令の実行機能を持つプロセッサおよび分岐命令制御方法に関する。

【0002】

3

【従来の技術】一般に、この種のプロセッサにおいては、処理の高速化のために、命令の先読みを行っている。先読みされた命令は命令バッファに一時格納された後、命令解析機構に順次取り出され、命令解説に供される。

【0003】ここで、解説された命令が分岐命令（条件付き分岐命令）である場合、従来のプロセッサでは、分岐条件の成立が判定されて分岐が発生すると分かった段階で、そのときに命令バッファに読み込まれている命令をすべてキャンセルして、その分岐命令の指す飛び先命令（分岐先の命令）をフェッチするためのフェッチ要求を出すようにしていた。

【0004】

【発明が解決しようとする課題】上記したように従来のプロセッサでは、分岐が発生すると分かった段階で、そのときに命令バッファにある命令はすべてキャンセルされるようになっていた。このキャンセル動作により、分岐不成立を前提として命令バッファに先読みされていた命令が誤って実行されることが防止できる。

【0005】しかし、命令バッファの中に、分岐成立となった分岐命令の飛び先の命令が含まれている場合には、その飛び先の命令、即ち次に実行すべき必要な命令までもキャンセルすることになる。本発明者は、このような場合、同じ命令フェッチ動作を2回行うことになり、プロセッサの処理性能を低下させるという問題が存在することを認識するに至った。

【0006】この発明は上記事情を考慮してなされたものでその目的は、分岐命令の分岐成立が判明した段階で、その飛び先の命令が既に命令バッファに取り込まれているならば、分岐命令に引き続いて実行される命令の処理の開始を早くすることができるプロセッサを提供することにある。

【0007】この発明の他の目的は、分岐命令の分岐成立が判明した段階で、その飛び先の命令のフェッチ要求が出されているならば、分岐命令に引き続いて実行される命令の処理の開始を早くすることができるプロセッサを提供することにある。

【0008】

【課題を解決するための手段】この発明は、条件付き分岐命令の分岐成立が判明した段階で、その分岐先の命令（分岐先命令）が既に命令格納手段（命令バッファ）に格納されているならば、その分岐命令の実行により分岐先の命令のフェッチ要求が出される代わりに、その命令バッファ内で、その分岐命令と分岐先命令との間にある命令をキャンセルすることで、命令バッファ内に残されている有効な命令列が、現在の分岐命令に続いて、先頭に分岐先命令から順に解析されて実行されるようにしたことを特徴とするものである。

【0009】また、この発明は、条件付き分岐命令の分岐成立が判明した段階で、その分岐先の命令（分岐先命

4

令）がフェッチされている最中であるならば、命令バッファ内のすべての命令をキャンセルし、当該分岐先命令のフェッチが完了するのを待って、そのフェッチされた分岐先命令の解析処理を行うようにしたことをも特徴とする。

【0010】

【作用】上記の構成において、分岐命令に従う条件判定で分岐成立が判明した場合、その分岐先の命令が命令バッファに格納されているならば、その命令バッファ内にある命令列のうち、分岐先命令以降の命令列を残して、他はすべてキャンセルされる。そして、分岐先命令をフェッチする代わりに、その命令バッファに残されている命令が分岐先命令から順に取り出されて解析処理が行われ実行される。このため、従来のように、分岐先命令以降の命令列をすべてフェッチするのに比べて、分岐命令に続いて実行される分岐先命令以降の命令処理の開始を早くすることが可能となる。

【0011】また、分岐命令に従う条件判定で分岐成立が判明した場合に、その分岐先の命令のフェッチ中であるならば、命令バッファ内の命令はすべてキャンセルされるものの、そのフェッチ中の命令である分岐先命令は有効な命令として扱われ、命令バッファに取り込まれた段階で、当該バッファから取り出されて解析処理が行われ実行される。このため、従来のように、分岐成立が判明した段階で、改めて分岐先の命令のフェッチ要求が出され、既にフェッチ中の命令は、実際にフェッチされた時点で無効化されるのに比べ、分岐命令に続いて実行される分岐先命令の処理の開始を早くすることが可能となる。

【0012】

【実施例】

【第1の実施例】まず、この発明の第1の実施例につき図面を参照して説明する。図1はこの発明の第1の実施例を示すプロセッサのブロック構成図である。

【0013】図中、1は命令群からなる各種プログラム、データが記憶される主メモリ、2は主メモリ1からフェッチした命令を実行するプロセッサ、3はプロセッサ2と主メモリ1の間の命令、データの授受に用いられるメモリバスである。

【0014】プロセッサ2は、メモリ管理ユニット21、命令読み出し機構22、命令バッファ23、命令解析機構24および命令実行機構25を有する。メモリ管理ユニット21は、命令読み出し機構22からの命令フェッチ要求に従い、当該命令読み出し機構22から与えられる命令アドレスで指定される命令を主メモリ1から取り込むように構成されている。

【0015】命令読み出し機構22は、メモリ管理ユニット21に対して命令フェッチ要求とフェッチ先を示す命令アドレスを発するよう構成されている。命令読み出し機構22は、メモリ管理ユニット21により取り込

5

まれた命令を受け取ると、当該命令およびその命令アドレスを命令バッファ 23 に渡すようになっている。

【0016】命令読み出し機構 22 とメモリ管理ユニット 21 との間には、命令読み出し機構 22 からメモリ管理ユニット 21 に対して命令フェッチ要求を伝達するための命令フェッチ要求ライン 401、同じく命令アドレスを伝達するための命令アドレスライン 402 が設けられている。また、命令読み出し機構 22 とメモリ管理ユニット 21 との間には、メモリ管理ユニット 21 が主メモリ 1 から取り込んだ命令を命令読み出し機構 22 に

伝達するための命令ライン 403 が設けられている。

【0017】命令バッファ 23 は、命令読み出し機構 22 から受け取った命令とその命令アドレスを対にして保持するための命令フィールドとアドレスフィールドの対を含むスロットを複数有する。各スロットには、そのスロットの内容が有効（バリッド）であるか否かを示すバリッドビット（Vビット）が付されている。この命令バッファ 23 には、命令読み出し機構 22 によって取り込まれた命令およびその命令アドレスの対が先頭スロット（ここでは、最下段のスロット）から順に保持されるようになっている。この命令バッファ 23 の最下段スロットに続く（バリッドビットが ON 状態にある）有効な各スロットの内容は、当該最下段スロットから命令およびアドレスの対が命令解析機構 24 に取り出される毎に、次（1 段下）のスロットに移される。また、命令バッファ 23 内の新たな命令の格納先スロットを指すライトポインタ（図示せず）は、その最下段スロットから命令およびアドレスの対が命令解析機構 24 に取り出される毎に、1 段下のスロットを指すように更新され、新たな命令およびアドレスの対が格納される毎に、1 段上のスロットを指すように更新される。

【0018】命令バッファ 23 と命令読み出し機構 22 との間には、命令読み出し機構 22 から命令バッファ 23 に対して命令アドレスを伝達するための命令アドレスライン 404、同じく命令を伝達するための命令ライン 405 が設けられている。

【0019】命令解析機構 24 は、命令バッファ 23（の最下段）から受け取った命令の処理内容を解読し、必要なオペランド・データをレジスタファイル（図示せず）等から読み出すように構成されている。命令解析機構 24 はまた、分岐命令（条件付き分岐命令）の場合には分岐先アドレス（飛び先アドレス）を計算して命令読み出し機構 22 に通知するようにも構成されている。この命令解析機構 24 は、解読中の命令のアドレスを内部に保持するようになっている。

【0020】命令解析機構 24 と命令バッファ 23 との間には、命令バッファ 23 から命令解析機構 24 に対して次の解読対象命令のアドレスを伝達するための命令アドレスライン 406、同じく当該解読対象命令を伝達するための命令ライン 407 が設けられている。また、命

6

令解析機構 24 と命令バッファ 23 との間には、命令バッファ 23 の各スロット中のバリッドビットの状態を命令解析機構 24 に伝達する他、このバリッドビットを命令解析機構 24 から ON/OFF（バリデート/インバリデート）操作可能とする、スロット数分のバリッドビットライン 408 が設けられている。また、命令解析機構 24 と命令読み出し機構 22 との間には、命令解析機構 24 が計算した分岐先アドレスを命令読み出し機構 22 に伝達するための分岐先アドレスライン 409 が設けられている。

【0021】命令実行機構 25 は、命令解析機構 24 で解読された命令をその内容に従って実行するように構成されている。命令実行機構 25 と命令解析機構 24 との間には、命令解析機構 24 で解読された命令に従う指示を命令実行機構 25 に伝達するための命令実行指示ライン 411、および命令実行機構 25 で比較命令を実行した場合に、その実行結果（比較結果）を命令解析機構 24 に伝達するための比較結果通知ライン 412 が設けられている。

【0022】次に、この発明の第 1 の実施例の動作を図 2 のフローチャートを参照して説明する。今、命令解析機構 24 が条件付き分岐命令を解読している状態にあるものとする。このとき、命令バッファ 23 には、上記分岐命令に後続する 1 つ以上の命令がその命令アドレスと対をなして保持されているものとする。更に、命令読み出し機構 22 からメモリ管理ユニット 21 に対し、命令バッファ 23 に格納されている命令に後続する命令のフェッチ要求が命令フェッチ要求ライン 401 を介して出力され、その命令アドレスが命令アドレスライン 402 を介して出力されているものとする。

【0023】この場合、従来のプロセッサであれば、次のような動作が行われる。まず、命令解析機構 24 は、分岐命令を解読した後、分岐条件が確定し、分岐成立を判定した場合には、命令バッファ 23 内に保持されている有効な命令をすべて（分岐命令に後続する遅延命令がある場合にはそれを残して）クリアする。即ち命令解析機構 24 は、命令バッファ 23 内のすべてのスロット

（遅延命令がある場合には遅延命令以外が保持されているすべてのスロット）をインバリデート（無効化）する。なお、条件付き分岐命令に後続する遅延命令は、分岐命令を含む命令列の処理効率の向上を図るために用意されるものである。そのため、当該遅延命令には、先行する分岐命令の条件が成立した場合に実行されても何ら影響を及ぼさない命令が用いられる。また、条件付き分岐命令に後続する遅延命令があるか否かは当該分岐命令で示されており、当該分岐命令を解読することにより判別される。

【0024】命令解析機構 24 は、命令バッファ 23 内の（遅延命令以外の）すべてのスロットをインバリデートすると同時に、分岐が成立した分岐命令の分岐先とな

7

る命令のアドレス（分岐先アドレス）を命令読み出し機構 22 に渡す。

【0025】命令読み出し機構 22 は、この命令アドレス（分岐先アドレス）を用いて命令フェッチを行う。このとき、命令読み出し機構 22 が既にメモリ管理ユニット 21 に命令フェッチ要求を出していたならば、その要求を中断させることはできないため、当該命令読み出し機構 22 は、その命令フェッチが完了し、対応する命令を取り込んだ後に、その命令を無視する。

【0026】これに対し、命令解析機構 24 により条件付き分岐命令が解読されている場合の本実施例の動作は、次の通りとなる。まず、命令解析機構 24 が分岐命令を解読し、例えば命令実行機構 25 での比較命令の実行により比較結果通知ライン 412 を介して送られる比較結果をもとに条件判定を行い、分岐成立を判定したものとす。

【0027】この場合、命令解析機構 24 は、命令バッファ 23 内にその分岐命令の分岐先の命令が存在するか否かを調べる（ステップ S1）。この分岐先命令が命令バッファ 23 内に存在する条件は、A、n、L を

A：その分岐命令の分岐先の命令の分岐命令を基準とする相対アドレス

n：そのとき命令バッファ 23 に保持されている命令数

L：命令長（単位はバイト）

とした場合に、 $0 < A \leq n * L$ を満足することである。

【0028】ここで、上記 A は、命令解析機構 24 が解読した分岐命令の示す分岐先アドレスと当該分岐命令のアドレスとの差から求められる。また、上記 n は、命令解析機構 24 が、命令バッファ 23 内の各スロットのバリッドビット（V ビット）を例えば最下段のスロットから順に対応するバリッドビットライン 408 を通して参照し、ON 状態にあるバリッドビットの数をカウントすることにより求められる。

【0029】命令解析機構 24 は、上記 A および n を求めると、 $0 < A \leq n * L$ の条件を満たすか否かを判定する。なお、この判定方法以外に、命令バッファ 23 内のバリッドビットが ON 状態にある有効な各スロットの命令アドレスを例えば最下段のスロットから順に参照して分岐先アドレスと比較し、分岐先アドレスに一致する命令アドレスが存在するか否かにより、上記分岐命令の分岐先の命令が存在するかを判定することも可能である。

【0030】さて、命令解析機構 24 の処理は、（1-1）分岐先の命令が命令バッファ 23 内に存在する場合と、（1-2）分岐先の命令が命令バッファ 23 内に存在しない場合とで、以下に述べるように異なる。

【0031】（1-1）分岐先の命令が命令バッファ 23 内に存在する場合

命令解析機構 24 は、 $0 < A \leq n * L$ の条件が満たされていたならば、分岐が成立した分岐命令の分岐先の命令が命令バッファ 23 内に存在するものと判断する。

8

【0032】この場合、命令解析機構 24 はまず、命令バッファ 23 内の最下段のスロット（先頭スロット）から、上記分岐命令の分岐先命令の 1 つ前の命令が保持されているスロットまでの各スロット、即ち分岐命令とその分岐先の命令の間にある命令がそれぞれ保持されている命令バッファ 23 内スロットを、対応するバリッドビットライン 408 を通して選択的にインバリデートする（ステップ S2）。

【0033】次に命令解析機構 24 は、命令バッファ 23 内の上記分岐先命令が保持されているスロットおよび当該スロットに後続する（バリッドビットが ON 状態にある）有効なスロットの内容を、上記分岐先命令が命令バッファ 23 内の最下段のスロットに保持されるように、この最下段スロットから始まる連続するスロット群に順に移す（ステップ S3）。

【0034】なお、命令バッファ 23 から次に取り出すべき命令が格納されているスロットを指すリードポインタを用意し、命令バッファ 23 から命令解析機構 24 に命令を取り出す毎に当該リードポインタを更新して次のスロットを指すようにするならば、ステップ S3 の移動処理は不要となる。但し、ステップ S3 に代えて、分岐先命令が保持されているスロットを指すようにリードポインタを書き換える必要がある。

【0035】命令解析機構 24 は、ステップ S3 を実行すると、命令バッファ 23 内最下段のスロットから命令ライン 407 を介して命令（ここでは分岐先命令）を、命令アドレスライン 406 を介して命令アドレスを、それぞれ取り込み、その取り込んだ命令の解読処理を上記の分岐命令に続いて実行する（ステップ S4）。

【0036】以上のように、命令バッファ 23 内に分岐命令の分岐先の命令が存在し、その分岐先命令を利用する場合には、命令解析機構 24 で求めた分岐先アドレスは命令読み出し機構 22 に送られない。この場合、命令読み出し機構 22 は、メモリ管理ユニット 21 に命令フェッチ要求を出していたならば、その要求に従ってメモリ管理ユニット 21 により取り込まれる命令（とそのアドレスの対）を命令バッファ 23 に格納する。

【0037】（1-2）分岐先の命令が命令バッファ 23 内に存在しない場合

一方、上記 $0 < A \leq n * L$ の条件が満たされていないならば、命令解析機構 24 は、分岐が成立した分岐命令の分岐先の命令が命令バッファ 23 内に存在しないものと判断する。

【0038】この場合、命令解析機構 24 は、従来と同様に、命令バッファ 23 内に保持されている有効な命令をすべて（分岐命令に後続する遅延命令がある場合にはそれを残して）クリアする。即ち命令解析機構 24 は、命令バッファ 23 内のすべてのスロット（遅延命令がある場合には遅延命令以外が保持されているすべてのスロット）をインバリデートする（ステップ S4）。

【0039】また命令解析機構24は、分岐が成立した分岐命令の分岐先となる命令のアドレス（分岐先アドレス）を分岐先アドレスライン409を介して命令読み出し機構22に渡す（ステップS5）。

【0040】命令読み出し機構22は、この命令解析機構24から渡された命令アドレス（分岐先アドレス）を命令アドレスライン402に送出すると共に、命令フェッチ要求を命令フェッチ要求ライン401に送出することにより、メモリ管理ユニット21を用いて命令（分岐先の命令）のフェッチを行う。

【0041】このとき、即ち命令解析機構24から命令読み出し機構22に分岐アドレスが渡された場合に、命令読み出し機構22が既にメモリ管理ユニット21に命令フェッチ要求を出していたならば、その要求を中断させることはできないため、当該命令読み出し機構22は、その命令フェッチが完了し、対応する命令を取り込んだ後に、その命令を無視する。

【0042】以上に述べた第1の実施例では、命令解析機構24にて解読されて分岐成立が判定された分岐命令の分岐先の命令が、命令バッファ23に既に存在する場合には、その分岐命令を実行して分岐先命令のフェッチ要求を出す代わりに、その分岐命令と分岐先命令との間にある命令バッファ23内の命令をキャンセルするようにしているため、分岐命令に続いて命令バッファ23内の分岐先命令から直ちに命令処理を開始することができる。

【0043】ところで、命令解析機構24にて分岐成立が判定されたときに、その分岐先の命令のフェッチ要求が命令読み出し機構22からメモリ管理ユニット21に出されていることがあり得る。上記第1の実施例では、このフェッチ要求に対するフェッチ動作が行われて対応する命令が命令読み出し機構22に読み込まれた時点で、その命令が無視される（捨てられる）ようになっている。しかし、この命令が分岐先命令であるならば、当該命令を捨てずに利用することにより、分岐命令に続く分岐先命令の処理開始を早くすることができる。

【第2の実施例】そこで、分岐成立が判定されたときに、その分岐先の命令のフェッチ要求が出されている場合に、そのフェッチ要求に従って取り込まれる分岐先命令を利用可能とする第2の実施例につき、図面を参照して説明する。なお、図1と同一部分には同一符号を付して詳細な説明は省略する。

【0044】図3はこの発明の第2の実施例を示すプロセッサのブロック構成図である。この図3に示すプロセッサ20は、メモリ管理ユニット21、（図1中の命令読み出し機構22に相当する）命令読み出し機構220、命令バッファ23、（図1中の命令解析機構24に相当する）命令解析機構240、および命令実行機構25を有している。

【0045】命令読み出し機構220が図1中の命令読

み出し機構22と異なる点は、命令読み出し機構220がメモリ管理ユニット21に対して命令フェッチの要求中である場合に、その要求している命令のアドレスを命令解析機構240に通知するようになっていることである。

【0046】また、命令解析機構240が図1中の命令解析機構24と異なる点は、命令バッファ23内に分岐先の命令が存在しない場合に、その分岐先の命令に対するフェッチ要求が（命令読み出し機構220から）出されているか否かを調べ、出されているならば、その分岐先命令が（命令読み出し機構220により）命令バッファ23に取り込まれた時点で、その命令バッファ23内の分岐先命令を解読するようになっていることである。

【0047】図3において、命令解析機構240と命令読み出し機構220との間には、命令解析機構240が計算した分岐先アドレスを命令読み出し機構220に伝達するための分岐先アドレスライン409の他に、新たに、命令読み出し機構220がメモリ管理ユニット21に対して命令フェッチの要求中である場合に、その要求している命令のアドレスを命令読み出し機構220から命令解析機構240に伝達するための命令フェッチ要求アドレスライン410が設けられている。

【0048】次に、この発明の第2の実施例の動作を図4のフローチャートを参照して説明する。今、前記第1の実施例の場合と同様に、（図1中の命令解析機構24に相当する）命令解析機構240が分岐命令を解読している状態にあり、命令バッファ23には上記分岐命令に後続する1つ以上の命令がその命令アドレスと対をなして保持されているものとする。更に、（命令読み出し機構22に相当する）命令読み出し機構220からメモリ管理ユニット21に対し、命令バッファ23に格納されている命令に後続する命令の命令フェッチ要求が命令フェッチ要求ライン401を介して出力され、その命令アドレスが命令アドレスライン402を介して出力されているものとする。

【0049】このとき、命令読み出し機構220から命令解析機構240に対しても、当該命令読み出し機構220が要求している命令のアドレスが、命令フェッチ要求アドレスライン410を介して出力されている。

【0050】この状態において命令解析機構240は、分岐命令を解読した後、分岐条件が確定し、分岐成立を判定した場合には、例えば前記第1の実施例の場合と同様の方法でA、nを求めて、 $0 < A \leq n * L$ を満足するか否かを調べることにより、命令バッファ23内にその分岐命令の分岐先の命令が存在するか否かを判定する（ステップS11）。

【0051】また命令解析機構240は、命令バッファ23内に分岐命令の分岐先の命令が存在しない場合には、命令読み出し機構220が現在フェッチ中の命令が、その分岐先の命令と一致しているか否かを調べる

(ステップS12)。このステップS12の判定は、命令解析機構240が解読した分岐命令の示す分岐先アドレスと命令読み出し機構220から命令フェッチ要求アドレスライン410を介して通知されている命令アドレスとが一致しているか否かを調べることにより実現される。

【0052】なお、前記第1の実施例では、上記n(命令バッファ23に保持されている命令数)を、命令バッファ23内の各スロットのバリッドビット(Vビット)を最下段のスロットから順に対応するバリッドビットライン408を通して参照し、ON状態にあるバリッドビットの数をカウントすることにより求めるようにしているが、これに限るものではない。

【0053】例えば、命令読み出し機構220から命令解析機構240に対し命令フェッチ要求アドレスライン410を介して送られている命令フェッチ要求中のアドレスをC、命令解析機構240が内部に保持している解読中の命令(ここでは分岐命令)のアドレスをBとすると、 $n = (C - B) / L$ の演算を行うことにより、上記nを求めることも可能である。また、このnの値により、命令バッファ23内の有効なスロットも判断できることから、命令バッファ23の各スロットにバリッドビットを付加する必要もない。

【0054】更に、命令解析機構240が内部に保持するアドレス(B)を、命令バッファ23から命令を取り込む毎にLだけインクリメントすることにより、命令バッファ23の各スロットに、命令と対をなして命令アドレスを格納しておく必要もなくなる。但し、分岐が成立した場合には、命令解析機構240内部に保持するアドレス(B)を分岐先のアドレスに書き換える必要がある。

【0055】さて、命令解析機構24の処理は、(2-1)分岐先の命令が命令バッファ23内に存在する場合と、(2-2)分岐先の命令が命令バッファ23内に存在せず、且つ命令読み出し機構220が現在フェッチ中の命令が上記分岐先の命令に一致している場合と、(2-3)上記(2-1)、(2-2)のいずれの条件も満たさない場合とで、以下に述べるように異なる。なお、命令バッファ23内に分岐命令の分岐先の命令があり、且つ命令読み出し機構220が現在フェッチ中の命令がその分岐命令の分岐先の命令に一致しているという組み合わせは、有り得ない。その理由は、命令読み出し機構220がフェッチ中の命令は、命令バッファ23に最も最近に取り込まれた命令の後続命令だからである。

【0056】(2-1)分岐先の命令が命令バッファ23内に存在する場合

命令解析機構240は、上記ステップS11において、分岐が成立した分岐命令の分岐先の命令が命令バッファ23内に存在するものと判断した場合、前記第1の実施例における(1-1)の場合と同様の処理、即ち図2中

のステップS2~S4と同様の処理ステップS13~S15により、命令バッファ23内の、分岐命令に続く命令から分岐先命令の1つ前の命令までをすべてキャンセルして、次の分岐先命令から順に解読処理を行う。

【0057】(2-2)分岐先の命令が命令バッファ23内に存在せず、且つ命令読み出し機構220が現在フェッチ中の命令が上記分岐先の命令に一致している場合命令解析機構240は、ステップS11、S12により、分岐が成立した分岐命令の分岐先の命令が命令バッファ23内に存在せず、且つ命令読み出し機構220が現在フェッチ中の命令が上記分岐先の命令に一致しているものと判断した場合、命令バッファ23内に保持されている有効な命令をすべて(分岐命令に後続する遅延命令がある場合にはそれを残して)クリアする。即ち命令解析機構240は、命令バッファ23内のすべてのスロット(遅延命令がある場合には遅延命令以外が保持されているすべてのスロット)をインバリデートする(ステップS16)。

【0058】そして命令解析機構240は、命令読み出し機構220においてフェッチ中の命令、即ち分岐先命令が、メモリ管理ユニット21によりフェッチされて当該命令読み出し機構220に渡され、命令バッファ23の最下段スロットに格納される(遅延命令がない場合)フェッチ完了時点で、その分岐先命令(およびその命令アドレス)を命令バッファ23から取り込んで解読処理を行う(ステップS17)。なお、命令バッファ23の最下段スロットに遅延命令がある場合には、分岐先命令は1段上のスロットに格納され、遅延命令、分岐先命令の順で解読処理が行われる。

【0059】(2-3)上記(2-1)、(2-2)のいずれの条件も満たさない場合

命令解析機構240は、ステップS11、S12により、分岐が成立した分岐命令の分岐先の命令が命令バッファ23内に存在せず、且つ命令読み出し機構220が現在フェッチ中の命令が上記分岐先の命令に一致していないものと判断した場合、前記第1の実施例における(1-2)の場合と同様の処理、即ち図2中のステップS5、S6と同様の処理ステップS18、S19により、命令バッファ23内のすべてのスロット(遅延命令がある場合には遅延命令以外が保持されているすべてのスロット)をインバリデートし、更に分岐が成立した分岐命令の分岐先となる命令のアドレス(分岐先アドレス)を分岐先アドレスライン409を介して命令読み出し機構220に渡す。

【0060】命令読み出し機構220は、この命令解析機構24から渡された命令アドレス(分岐先アドレス)を命令アドレスライン402に送出すると共に、命令フェッチ要求を命令フェッチ要求ライン401に送出することにより、メモリ管理ユニット21を用いて命令(分岐先の命令)のフェッチを行う。

13

【0061】このとき、即ち命令解析機構240から命令読み出し機構220に分岐アドレスが渡された場合に、当該命令読み出し機構220が既にメモリ管理ユニット21に命令フェッチ要求を出していたならば、その要求を中断させることはできないため、当該命令読み出し機構220は、その命令フェッチが完了し、対応する命令を取り込んだ後に、その命令を無視する（捨てる）。

【0062】以上の第2の実施例による効果が現れるのは、命令解析機構240で分岐成立が判定されたときに、その分岐先の命令が命令バッファ23に存在する（前記第1の実施例と同様の）場合の他、命令読み出し機構22が現在フェッチ中の命令が分岐先命令と一致している場合である。前記第1の実施例では、分岐先命令が命令バッファ23に存在しないならば、命令読み出し機構22がフェッチ中の命令は当該命令読み出し機構22に取り込まれた時点で捨てられる。このため第1の実施例では、フェッチ中の命令が分岐先命令と一致している場合には、従来と同様に、結果的には同じアドレスの命令（分岐先命令）のフェッチが2回起こることになる。

【0063】

【発明の効果】以上詳述したようにこの発明によれば、分岐命令の分岐成立が判明した段階で、その飛び先の命令が既に命令格納手段（命令バッファ）に取り込まれているならば、その命令バッファ内にある命令列のうち、分岐先命令以降の命令列を残して、他はすべてキャンセルされ、分岐先命令をフェッチする代わりに、その命令バッファに残されている命令が分岐先命令から順に取り

14

出されて解析処理が行われる構成とすることにより、分岐命令に引き続いて実行される命令の処理の開始を早くすることができる。

【0064】また、この発明によれば、分岐命令の分岐成立が判明した段階でその分岐先の命令のフェッチ中であるならば、命令バッファ内の命令はすべてキャンセルされるものの、そのフェッチ中の命令である分岐先命令は有効な命令として扱われ、命令バッファに取り込まれた段階で、当該バッファから取り出されて解析処理が行われる構成とすることにより、分岐命令に引き続いて実行される命令の処理の開始を早くすることができる。このように、この発明によれば、分岐命令による命令処理の乱れを軽減することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例を示すプロセッサのブロック構成図。

【図2】図1中の命令解析機構240の分岐成立判定時の処理手順を示すフローチャート。

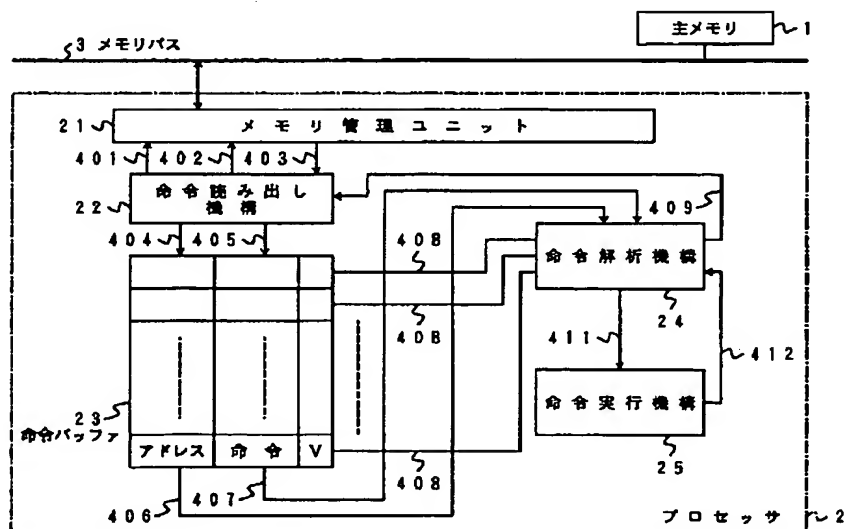
【図3】この発明の第2の実施例を示すプロセッサのブロック構成図。

【図4】図3中の命令解析機構240の分岐成立判定時の処理手順を示すフローチャート。

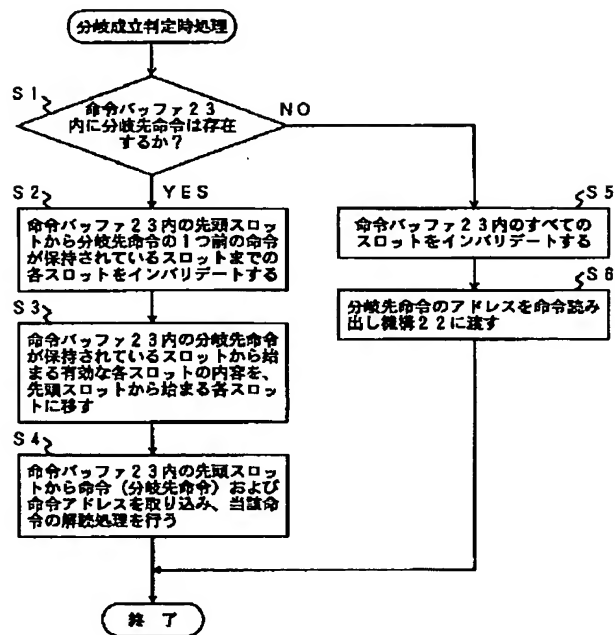
【符号の説明】

1…主メモリ、2、20…プロセッサ、3…メモリバス、21…メモリ管理ユニット、22，220…命令読み出し機構、23…命令バッファ、24，240…命令解析機構、25…命令実行機構、401…命令フェッチ要求ライン、409…分岐先アドレスライン、410…命令フェッチ要求アドレスライン。

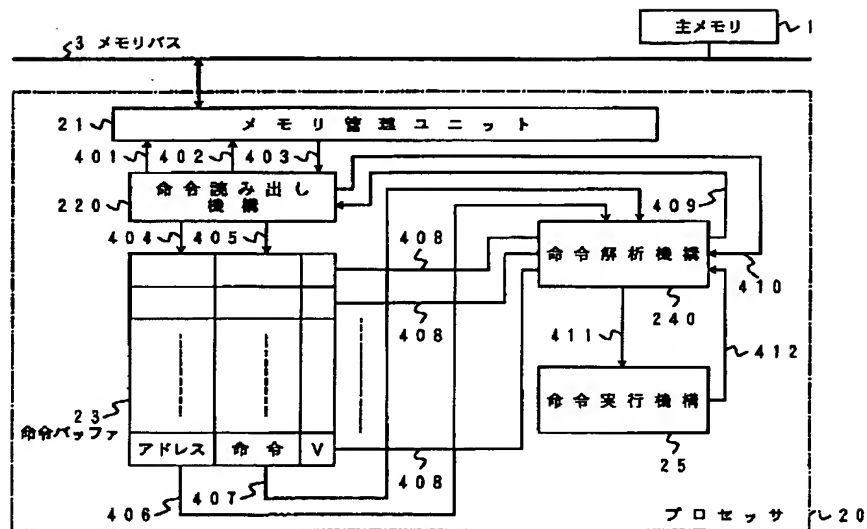
【図1】



【図2】



【図3】



【図4】

